

⑫ 公開特許公報(A)

昭62-281444

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)12月7日

H 01 L 21/82
27/04
27/08

1 0 1

8526-5F
A-7514-5F
M-7925-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 昭61-123389

⑰ 出 願 昭61(1986)5月30日

⑱ 発 明 者 篠 史 郎 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 北 村 幸 則 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 発 明 者 小 倉 節 夫 高崎市西横手町111番地 株式会社日立製作所高崎工場内

㉑ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 小平市上水本町1479番地

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 多数の論理ゲートを配列してなる論理回路部を有する半導体集積回路装置であって、配列された論理ゲートの間に疑似ゲートが適宜に挿入され、この疑似ゲートが形成されたところに論理ゲート間の配線を中継する端子部が形成されていることを特徴とする半導体集積回路装置。

2. 上記論理ゲートとしてIIL(インテグレートッド・インジェクション・ロジック)が形成されていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体集積回路装置技術、さらにはIIL(インテグレートッド・インジェクション・ロジック)による論理回路部を有する半導体

集積回路装置に適用して有効な技術に関するもので、たとえば、アナログ回路とデジタル回路とが混在して形成されるアナログ/デジタル型半導体集積回路装置に利用して有効な技術に関するものである。

〔従来の技術〕

たとえば、論理ゲートとしてのIIL(インテグレートッド・インジェクション・ロジック)は、アナログ回路と一緒に形成するのに適しているため、A/D変換器あるいはD/A変換器などのアナログ/デジタル型半導体集積回路装置の論理回路部を構成するのに良く利用されている。このIILは、たとえば日経マグロウヒル社刊行「日経エレクトロニクス 1981年9月28日号(n o. 274)」116~140頁(解説:バイポーラVLSIに最適なデバイス回路を探る)などに記載されているように、集積密度を高めたりするのに有利な回路デバイスである。

第4図は、そのIILのデバイス構造を等価回

路および論理記号図とともに示す。

同図に示すように、 IIL は、 n 型半導体基板1内に形成された p 型インジェクタ拡散層2、この p 型インジェクタ拡散層2の近くに形成された p 型ベース拡散層3、この p 型ベース拡散層3内に適宜数形成された $n+$ 型コレクタ拡散層4、および各拡散領域の表面絶縁酸化膜5を部分的に開孔した上からそれぞれ形成された電極6などによって形成される。 p 型インジェクタ拡散層2からはインジェクタ電極 INJ が、 p 型ベース拡散層3からは論理入力となるベース電極 B が、 $n+$ 型コレクタ拡散層4からは論理出力となるコレクタ電極 C がそれぞれに取り出される。

この IIL は、第4図にその等価回路および論理記号図を並記するように、 pnp バイポーラ・トランジスタ Qp と npn バイポーラ・トランジスタ Qn とが、その電極領域の一部を共有する状態で集積形成されている。

以上のようなデバイス構造を有する IIL は、第5図に示すように、帯状にレイアウトされた p

型インジェクタ領域2の両側に沿って多数配列された状態で形成される。そして、同図に示すように、たとえば2層アルミニウム配線 $AQ1$ 、 $AQ2$ とスルーホール TH によって各 IIL の間が適宜接続されることによって、所定の論理機能をもつ回路が構成される。

第6図は、上述した IIL によって構成された論理回路部100の全体の平面レイアウト状態を示す。この論理回路部100は、たとえばアナログ/デジタル型半導体集積回路装置内の一部を分離領域30によって囲んだ中に形成され、その中には複数本の IIL 列10が所定の間隔 w を置いて配設されている。

[発明が解決しようとする問題点]

しかしながら、上述した技術には、次のような問題点のあることが本発明者によってあきらかとされた。

すなわち、インジェクタ拡散層2に沿って並ぶ多数の IIL を相互に接続するためには、第5図

および第6図に示すように、 IIL 列10と IIL 列10との間に配線のためのスペースいわゆる配線領域20を大きくとる必要があった。このため、 IIL 列10間の間隔 w は、その配線領域20を十分に大きく確保するためにかなり大きく開けざるを得ず、このことが論理回路部100全体のレイアウト面積を大きく増大させている原因の一つとなっている、という問題点が本発明者らによってあきらかとされた。

さらに、たとえば第6図に示すように、それぞれに多数の IIL が並んだ IIL 列を複数本並設する場合には、 IIL 間を接続する配線の距離などを最適化する必要から、回路機能を IIL 列10の単位ごとにまとめて形成するようにし、これによって2以上の IIL 列10と10の間を跨ぐような配線をできるだけ少なくするような配座が必要である。

ところが、そのような配線の最適化を行うと、第6図に示すように、各 IIL 列10の長さに大きなバラツキが生じざるを得なくなってしまう。

この結果、論理回路部100内には大きな無駄スペースができてしまっており、半導体チップ面積の利用効率が悪くなってしまう、という問題点を生じることにも本発明者らによってあきらかとされた。

本発明の目的は、たとえば IIL のごとき多数の論理ゲートを配列してなる論理回路部において、各論理ゲート間を接続するために必要となる配線領域を縮小しつつ、その配線の最適化を可能にし、さらにレイアウトの最適化による半導体チップ面積の利用効率の向上も可能にする、という技術を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

[問題点を解決するための手段]

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、多数配列された論理ゲートの間に、論理ゲートとしては使用されない疑似ゲートを適宜に挿入し、この疑似ゲートの上に提供されるスペースを利用して論理ゲート間の配線を中継する端子部を形成する、というものである。

[作用]

上記した手段によれば、多数の論理ゲート間を接続するための配線は、適宜に挿入された疑似ゲート上の中継端子部を経由させることによって、その論理ゲートの列の外に大きくはみ出したり迂回させたりすることなく布線することができるようになる。これによって、各論理ゲート間を接続するために必要となる配線領域を縮小しつつ、その配線を最適化することが行いやすくなる。さらに、その配線の最適化が行いやすくなることによって、複数本の論理ゲート列を並設する場合にも、各論理ゲート列の長さのバラツキを少なくした状態でも配線の最適化がはかれるようになり、これによって半導体チップ面積の利用効率の向上が可能になる。

能になる。

以上のようにして、たとえばIILのごとき多数の論理ゲートを配列してなる論理回路部において、各論理ゲート間を接続するために必要となる配線領域を縮小しつつ、その配線の最適化を可能にし、さらにレイアウトの最適化による半導体チップ面積の利用効率の向上も可能にする、という目的が達成される。

[実施例]

以下、本発明の好適な実施例を図面に基づいて説明する。

なお、各図中、同一符号は同一あるいは相当部分を示す。

第1図は、この発明による技術が適用された半導体集積回路装置の要部における平面レイアウト状態を示す。

同図において、IIL(インテグレートッド・インジェクション・ロジック)は、帯状にレイアウトされたp型インジェクタ領域2の両側に沿っ

て多数配列された状態で形成される。そして、同図に示すように、たとえば2層アルミニウム配線A1、A2とスルーホールTHによって各IILの間が適宜接続されることによって、所定の論理機能をもつ回路が構成されるようになっている。この場合、A1は1層目の配線、A2は2層目の配線をそれぞれ示す。

ここで、その多数のIILの間には、論理ゲートとして使用されない疑似ゲートIIL'が適宜に挿入されている。そして、その疑似ゲートIIL'が形成されたところには、IIL間の配線A1、A2を中継する端子部TCが形成されている。

第2図は、上記疑似ゲートIIL'が形成された部分(A-A)の断面状態を示す。

同図において、IILは、n型半導体基板1内に形成されたp型インジェクタ拡散層2、このp型インジェクタ拡散層2の近くに形成されたp型ベース拡散層3、このp型ベース拡散層3内に適宜数形成されたn+型コレクタ拡散層4、および

各拡散領域の表面絶縁酸化膜5を部分的に開孔した上からそれぞれ形成された電極6などによって形成される。p型インジェクタ拡散層2からはインジェクタ電極INJが、p型ベース拡散層3からは論理入力となるベース電極Bが、n+型コレクタ拡散層4からは論理出力となるコレクタ電極Cがそれぞれに取り出される。このIILは、1層目の配線A1、2層目の配線A2、および層間絶縁膜7を貫通するスルーホールTHによって、他のIILと接続される。

一方、疑似ゲートIIL'は、その表面酸化絶縁膜5の下にて、上述したIILと同様に、n型半導体基板1内に形成されたp型インジェクタ拡散層2、このp型インジェクタ拡散層2の近くに形成されたp型ベース拡散層3、このp型ベース拡散層3内に適宜数形成されたn+型コレクタ拡散層4を有する。ただ、その上の表面酸化絶縁膜5には電極取り出しのための開孔は設けられていない。その表面酸化絶縁膜5の上には、その下の拡散層3、4とは関係無く、中継端子部TCを構

成するめたの電極6とスルーホールTHが形成されているだけである。つまり、電極の取り出しを行うか否かを選択することによって、IILあるいは疑似ゲートIIL'のいずれかが任意に選択されるようになっている。したがって、その疑似ゲートIIL'は、IIL間を接続するための配線A21、A22およびスルーホールTHを定める配線パターン設計段階にて任意の位置に設けることができる。

第3図は、上述した疑似ゲートIIL'をどこどこに挟んで多数のIILが配列された論理回路部100の全体のレイアウト状態を示す。複数のIIL列10は、分離領域10で囲まれた中に形成されて所定の論理回路機能を構成する。

さて、以上のように構成された半導体集積回路装置では、第1図に示すように、多数のIIL間を接続するための配線A21、A22は、そのIILの間に適宜に挿入された疑似ゲートIIL'上の中継端子部TCを経由させることによって、そのIILの列10の外に大きくはみ出したり迂

回させたりすることなく布線することができるようになる。

これによって、第3図に示すように、各IIL間を接続するために必要となる配線領域20の幅wを縮小しつつ、その配線を最適化することが行いやすくなる。

さらに、その配線の最適化が行いやすくなることによって、第3図に示すように、複数本のIIL列10を並設する場合には、各IIL列10の長さのバラツキを少なくした状態でもって配線の最適化がはかれるようになり、これによって半導体チップ面積の利用効率の向上が可能になる。

以上のようにして、たとえばIILのごとき多数の論理ゲートを配列してなる論理回路部にあって、各論理ゲート間を接続するために必要となる配線領域を縮小しつつ、その配線の最適化を可能にし、さらにレイアウトの最適化による半導体チップ面積の利用効率の向上も可能にする、という目的が達成される。

以上、本発明者によってなされた発明を実施例

にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、IIL間を3層以上の多層配線によって行う構成であってもよい。また、論理ゲートとしては、IIL以外の論理ゲートたとえばCMOS論理ゲートであってもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログ/デジタル型半導体集積回路装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、デジタル専用の半導体集積回路装置などにも適用できる。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、たとえばIILのごとき多数の論理ゲートを配列してなる論理回路部にあって、各論

理ゲート間を接続するために必要となる配線領域を縮小しつつ、その配線の最適化を可能にし、さらにレイアウトの最適化による半導体チップ面積の利用効率を向上させることができる、という効果が得られる。

4. 図面の簡単な説明

第1図はこの発明による技術が適用された半導体集積回路装置の要部における平面レイアウト状態の一実施例を示す図。

第2図は第1図のA-A部分の断面状態を示すデバイス構造図。

第3図は第1図に示した部分を含む論理回路部の平面レイアウト状態を示す図。

第4図はIILの構造をその等価回路およびデバイス構造とともに示す図。

第5図はこの発明に先立って検討された半導体集積回路装置の一部における平面レイアウト状態を示す図。

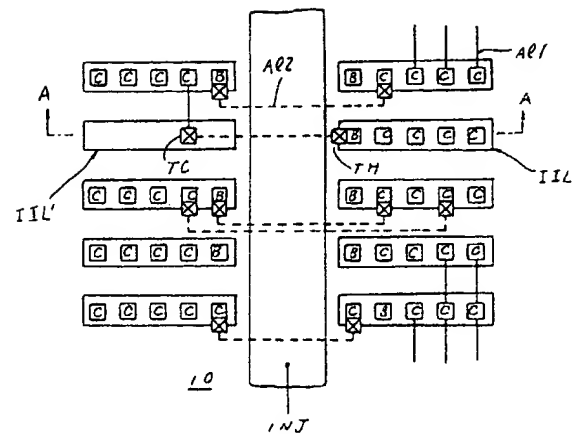
第6図は第5図に示した部分を含む論理回路部

の平面レイアウト状態を示す図である。

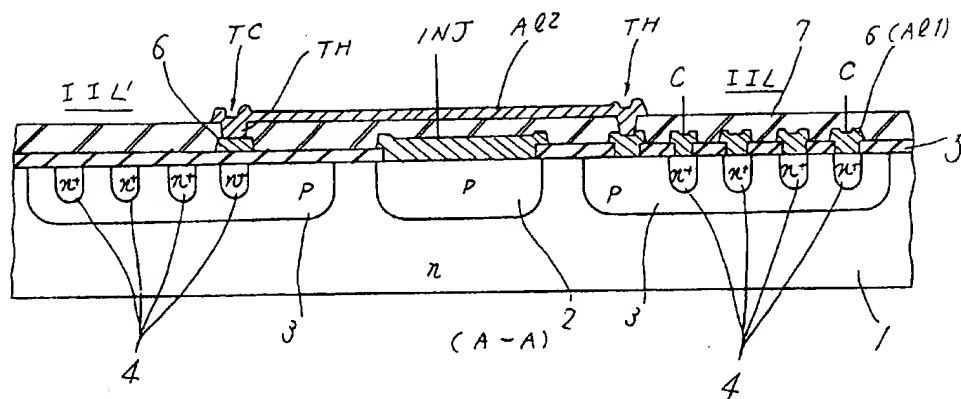
第 1 図

I I L . . . 論理ゲート (インテグレートッド
・インジェクション・ロジック)、I I L' . . .
・疑似ゲート、A Q 1, A Q 2 . . . 配線、T H
・スルーホール、T C . . . 中継端子部、1
0 . . . I I L 列、2 0 . . . 配線領域。

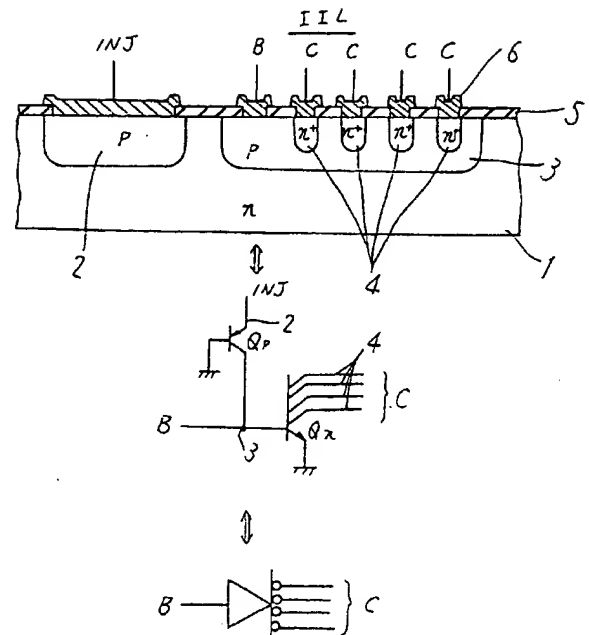
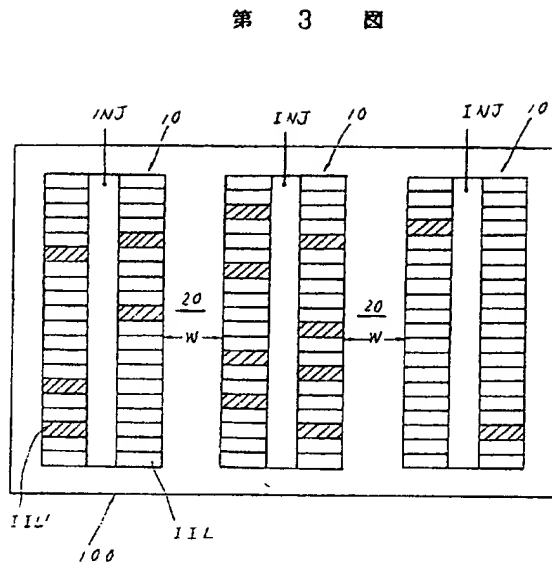
代理人 弁理士 小川 勝男



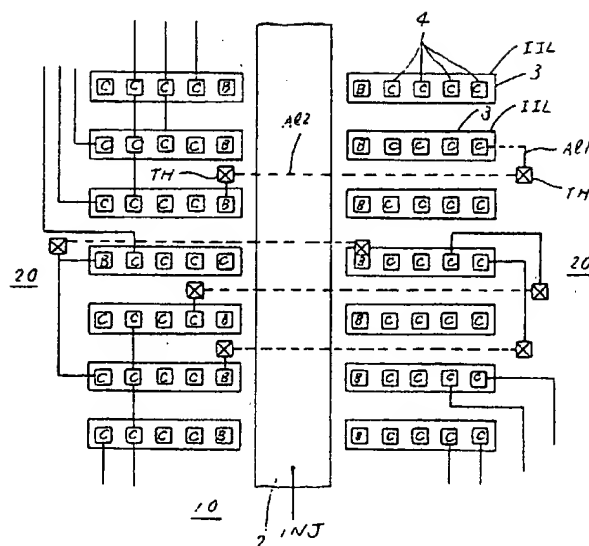
第 2 図



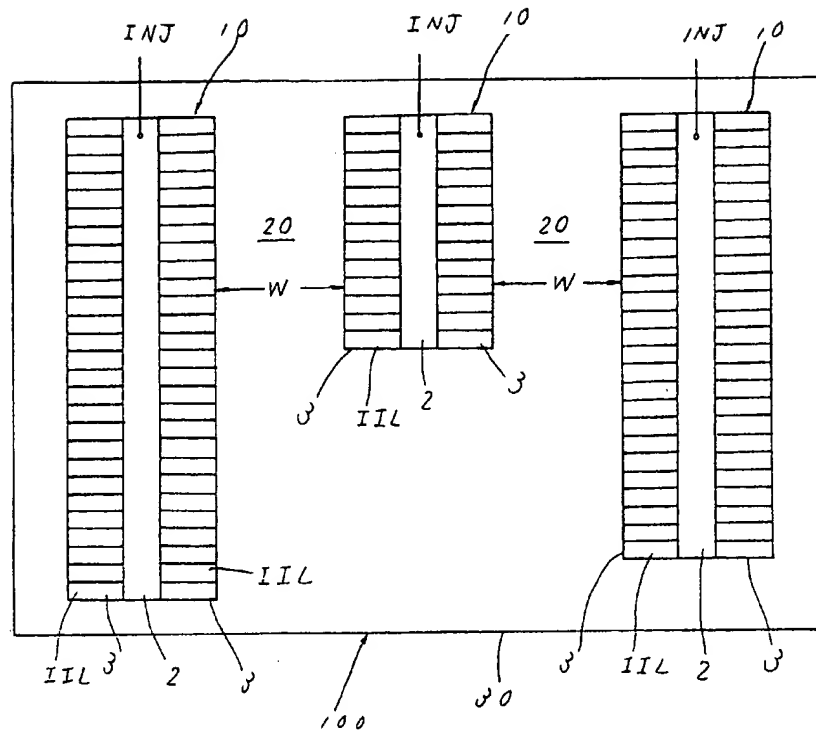
第 4 図



第 5 図



第 6 図



第1頁の続き

⑦発 明 者	宮 崎	日 出 夫	高崎市西横手町111番地	株式会社日立製作所高崎工場内
⑦発 明 者	亀 垣	和 幸	高崎市西横手町111番地	株式会社日立製作所高崎工場内
⑦発 明 者	山 崎	幸 一	高崎市西横手町111番地	株式会社日立製作所高崎工場内

DOCUMENT-IDENTIFIER: JP 62281444 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

FPAR:

PURPOSE: To optimize interconnection in conformity with reduction of interconnecting regions and enlarge a utility factor of semiconductor chip areas, by interposing dummy gates appropriately between logic gates and then forming terminal parts thereon for relaying the interconnections between the logic gates.

FPAR:

CONSTITUTION: A semiconductor integrated circuit device having logic circuit parts, in which numerous logic gates are disposed, is provided with dummy gates interposed appropriately between the logic gates disposed, where terminal parts are formed to relay interconnections between the logic gates. IIL, for example, are formed to be disposed in numbers along both sides of a p-type injector region 2 shaped in a band layout, and respective IIL are connected appropriately through two layers of aluminium interconnections Al1, Al2, and throughholes TH so that circuits having definite logic functions can be formed. Dummy gates IIL', which are not used as logic gates, are interposed appropriately between numerous IIL, together with a terminal part TC formed there to relay interconnections Al1 and Al2 between IIL.